

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-335692

(43)Date of publication of application : 22.12.1995

(51)Int.Cl.

H01L 21/60
H01L 21/321

(21)Application number : 06-129248

(71)Applicant : TOSHIBA MICRO COMPUT ENG CORP
TOSHIBA CORP

(22)Date of filing : 10.06.1994

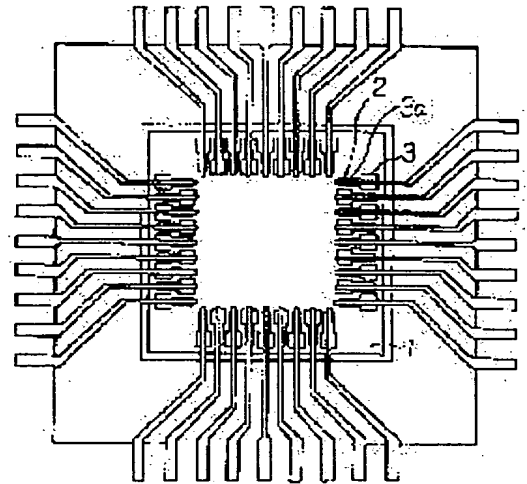
(72)Inventor : TAKUBO TOMOAKI
TAZAWA HIROSHI
HOSOMI HIDEKAZU
SHIBAZAKI YASUSHI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To prevent defects to be caused by the sagging of inner leads.

CONSTITUTION: Bumps 3 are formed zigzag at an outer part of a chip 1. Supporting sections 3a are installed to support surplus sections at the ends of inner leads which are connected to the bumps formed at the places which are at a relatively short distance from the side of the chip and parts between the side of the chip and the connections where the inner leads which are connected to the bumps formed at the places which are at a relatively long distance from the side of the chip are connected to the bumps. By installing the supporting sections 3a, the sagging of the inner leads 2 is prevented and thereby defects such as the short and the breakage of the inner leads can be prevented.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

Japanese Publication for Unexamined Patent Application

No. 7-335692/1995 (Tokukaihei 7-335692)

A. Relevance of the above-identified Document

This document has relevance to all claims of the present application.

B. Translation of the Relevant Passages of the Document

[0015]

[EXAMPLE]

The following will describe an example of the present invention with reference to drawings.

[0016]

Figure 1 is a plane view of one example of a semiconductor integrated circuit device according to the present invention.

[0017]

In this example, a periphery of a chip 1 includes bumps 3 placed in a staggered manner on which respective supporting sections 3a are additionally provided so as to support parts where the sagging of inner leads 2 tends to occur, and shown are the square-shaped bumps 3 with the rectangle-shaped supporting sections 3a respectively added to the bumps 3.

[0018]

Figure 2 is a plane view showing enlarged connecting sections of the bumps and the inner leads in Figure 1. Figure 3 and

THIS PAGE BLANK (USPTO)

Figure 4 are cross-sectional views showing parts taken along lines A-A' and B-B' in Figure 2.

[0019]

As seen from Figures 3 and 4, it is obvious that provision of the rectangle-shaped supporting sections 3a prevent the sagging of the inner leads 2. That is, it is possible to prevent defects such as breaking and shorts caused by the sagging of the inner leads 2.

[0020]

Moreover, since this arrangement avoids the sagging of at least inner leads when surplus sections at the ends of the inner leads are not bonded, it is possible to prevent defects such as shorts caused by the surplus sections being twisted and thus brought into contact with the adjacent inner leads and bumps.

[0021]

Although this example shows integrated combination of the square-shaped bumps 3 and the rectangle-shaped supporting sections 3a, the bump and supporting section may have any other suitable shapes such as ellipse and circle.

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-335692

(43) 公開日 平成7年(1995)12月22日

(51) IntCl.⁶

H 0 1 L 21/60
21/321

識別記号 庁内整理番号

3 1 1 R 0405-4M

F I

技術表示箇所

H 0 1 L 21/ 92

C

審査請求 未請求 請求項の数5 O L (全 7 頁)

(21) 出願番号 特願平6-129248

(22) 出願日 平成6年(1994)6月10日

(71) 出願人 000221199

東芝マイクロエレクトロニクス株式会社
神奈川県川崎市川崎区駅前本町25番地1

(71) 出願人 000003078

株式会社東芝
神奈川県川崎市幸区堀川町72番地

(72) 発明者 田 窪 知 章

神奈川県川崎市幸区小向東芝町1 株式会
社東芝研究開発センター内

(72) 発明者 田 沢 浩

神奈川県川崎市幸区小向東芝町1 株式会
社東芝研究開発センター内

(74) 代理人 弁理士 佐藤 一雄 (外3名)

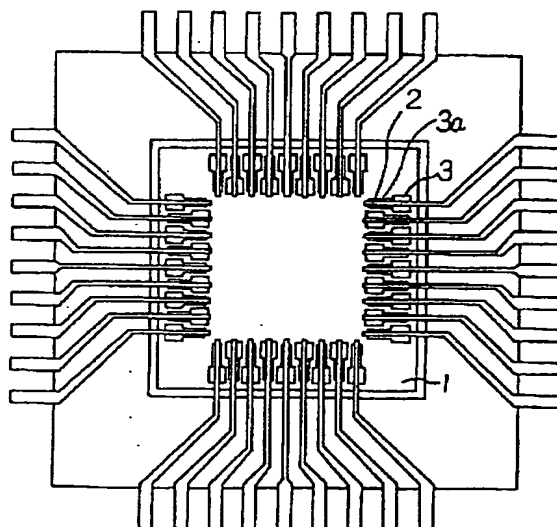
最終頁に続く

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【目的】 TAB方式の半導体集積回路装置において、インナーリードの垂れ下がり原因となって発生する不良を防止する。

【構成】 チップ1の周縁部に対して千鳥状に配設された bumps 3 に接続されたインナーリード2のうち、チップの端辺からの距離が相対的に短い位置に配設された bumps に接続されたインナーリードの先端の余剰部分及びチップの端辺からの距離が相対的に長い位置に配設された bumps に接続されたインナーリードの接続部から端辺までの部分を支持する支持部3aを設けてインナーリード2の垂れ下がり防止したので、インナーリードの短絡や切断等の不良を防止することができる。



【特許請求の範囲】

【請求項1】TAB方式の半導体集積回路装置において、前記半導体集積回路装置のチップ上に、前記チップの周縁部に対して千鳥状に配設されたバンパと、前記バンパと互いに接続され且つ各先端が同一直線上に位置するインナーリードと、前記チップの端辺に近い前記バンパと該バンパに接続された前記インナーリードの先端との間のインナーリードの余剰部分及び前記チップの端辺から遠い前記バンパと該バンパに接続された前記インナーリードの接続部からチップの端辺までのインナーリードの部分の支持し且つ前記バンパより幅狭に形成された支持部とを備えたことを特徴とする半導体集積回路装置。

【請求項2】請求項1に記載の半導体集積回路装置において、前記支持部は前記バンパと分離形成されていることを特徴とする半導体集積回路装置。

【請求項3】請求項1に記載の半導体集積回路装置において、前記支持部は前記バンパと一体化されたものであることを特徴とする半導体集積回路装置。

【請求項4】請求項3に記載の半導体集積回路装置において、前記支持部と一体化された前記バンパが略台形状をなし、かつ、隣接する前記バンパが互いに逆方向に配置されたことを特徴とする半導体集積回路装置。

【請求項5】請求項3に記載の半導体集積回路装置において、前記支持部と一体化された前記バンパが略三角形形状をなし、かつ、隣接する前記バンパの底辺が互いに逆方向に配置されたことを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体集積回路装置に関する。

【0002】

【従来の技術】半導体集積回路装置の実装技術として、TAB (Tape Automated Bonding) 技術がある。TAB技術は、位置決め孔を有するフィルムに半導体チップを取り付けたものをを用いる方式で、多数のデバイスの実装の自動化が可能であり、また、チップとパターンフィルムとを接続するインナーリードボンディングが、配設される端子数とは関係なく短時間で可能であるという特徴がある。

【0003】半導体集積回路装置の素子は微細加工技術が進み、チップ中の素子領域は縮小化してきているため、TAB方式においても、これに伴いチップサイズを小さくし、接続用パッド間のピッチを縮小する必要がある。

【0004】現在、例えばLCDドライバチップにおけるパッドピッチは約60μmであり、さらに縮小化が求められているが、このような縮小化が行われた場合、ウェーハ状態でチップのテストをする際に用いるプローブ

カードの作製が困難となる。これはプローブカードに取り付けられるプローブ針先端間の間隔を十分に確保することが困難となるためである。

【0005】そこで、図26に示したように、バンパ83をチップ1の周縁部に対して千鳥状に配設するという方法が提案されている。このようにすることにより、プローブ針先端間の間隔を十分に確保することが可能となる。

【0006】

【発明が解決しようとする課題】しかしながら、この場合において、千鳥状に配設したバンパに接合するインナーリードのピッチが従来のものと同じ程度であっても、インナーリードの長さをバンパに合わせて交互に変えて加工することは困難である。したがって、インナーリードとしては長さが等長のものが用いられる。図26に示された例でも、等長に加工されたインナーリード2が、チップ1の周縁部に対して千鳥状に配設されたバンパ83にギャングボンディングされている。

【0007】また、バンパ周辺の拡大図を図27に、この図27におけるX-X'線及びY-Y'線を含む部分において、インナーリードの垂れ下がりが起こった場合の、X-X'線及びY-Y'線で切断した断面図をそれぞれ図28及び図29に示す。図28はチップ1の端辺1aからの距離が相対的に短い位置に配設されたバンパ83aに、図29はチップ1の端辺1aからの距離が相対的に長い位置に配設されたバンパ83bに、それぞれ接続されたインナーリード2に垂れ下がりが起こっている様子を示している。

【0008】図28に示したように、チップ1の端辺1aからの距離が相対的に短い位置に配設されたバンパ83aにインナーリード2が接続された部分においては、インナーリード2とバンパ83aとの接続箇所からインナーリードの先端までの部分が余ってしまい、この先端部分2aがねじれて、近接するインナーリードやバンパに接触し、短絡するなどの不良の原因となる。

【0009】また、図29から分かるように、チップ1の端辺1aからの距離が相対的に長い位置に配設されたバンパ83bにインナーリード2が接続された部分においては、インナーリード2とバンパ83bとの接続箇所からチップエッジ（端辺部）1aまでの距離が長いためにこの部分のリード2bに垂れ下がりが起こり、リード2bがチップエッジ1aに接触し、切断するなどの不良の原因となる。

【0010】本発明は、上記問題点を鑑みてなされたもので、その目的は、微細なピッチで千鳥状に配設されたバンパとインナーリードとの接続の信頼性を向上させた半導体集積回路装置を提供することである。

【0011】

【課題を解決するための手段】本発明によれば、TAB方式の半導体集積回路装置において、半導体集積回路装

3

置のチップ上に、チップの周縁部に対して千鳥状に配設されたバンパと、バンパと互いに接続され且つ各先端が同一直線上に位置するインナーリードと、チップの端辺に近いバンパと該バンパに接続されたインナーリードの先端との間のインナーリードの余剰部分及びチップの端辺から遠いバンパと該バンパに接続されたインナーリードの接続部からチップ端辺までのインナーリードの部分

を支持し且つバンパより幅狭に形成された支持部とを備えることを特徴とする。

【0012】この支持部は、バンパと一体化して設けられたものでも、分離して設けられたものでも良い。

【0013】

【作用】本発明にかかる半導体集積回路装置においては、前述したインナーリードの垂れ下がりが起こりやすい部分を支持するために、バンパと一体化し、または、分離して設けられた支持部を有するので、インナーリードの垂れ下がりを防止することができる。

【0014】すなわち、チップの端辺からの距離が相対的に長い位置に配設されたバンパに接続されたインナーリードの接続部から端辺までの距離が長いために、リードがチップエッジ（端辺部）に接触してその接触部分の強度が小さくなり切断されるなどの不良、あるいは、チップの端辺からの距離が相対的に短い位置に配設されたバンパに接続されたインナーリードの先端の余剰部分がねじれて、近接するインナーリードやバンパに接触し、短絡するなどの不良を防止することができる。

【0015】

【実施例】以下、図面を参照しながら本発明の実施例について説明する。

【0016】図1は、本発明にかかる半導体集積回路装置の一実施例の平面図である。

【0017】この実施例は、チップ1の周縁部に対して千鳥状に配設されたバンパ3に、インナーリード2の垂れ下がりが起こりやすい部分を支持することができる支持部3aを付加して設けたもので、四角形状のバンパ3に長方形形状の支持部3aを付加した場合を示している。

【0018】図2は、図1のバンパとインナーリードとの接続部周辺を拡大した平面図である。また、図3、図4はそれぞれ図2のA-A'線、B-B'線に沿った断面図である。

【0019】これらから、長方形形状の支持部3aを設けたことによりインナーリード2の垂れ下がりが防止されたことが明らかである。すなわち、インナーリード2の垂れ下がりに起因する断線や短絡等を防止することができる。

【0020】また、インナーリードの先端の余剰部分が圧着されていない場合でも、少なくともインナーリードが垂れ下がることはなくなるため、この先端の余剰部分がねじれて、近接するインナーリードやバンパに接触し、短絡するなどの不良を防止することができる。

4

【0021】この例ではバンパ3は四角形状、支持部3aは長方形形状のものが一体となった場合を示しているが、バンパおよび支持部の形状は楕円形状、円形状などの他の適当な形状としても良い。

【0022】図5は、第二の実施例の一部を拡大した平面図である。また、図6、図7はそれぞれ図5のC-C'線、D-D'線に沿った断面図である。

【0023】この実施例では、千鳥状に配設された四角形状のパッド14上に台形状のバンパ13を配設している。これはバンパと支持部とが一体となったものを台形状としたもので、バンパの短い底辺側の部分13aが支持部に相当する。

【0024】インナーリードの12a、12bの部分は、バンパに圧着されていない場合でも、垂れ下がりが起こりそうになると支持部13aによって支えられるので、同様の効果を得ることができる。

【0025】台形状のバンパ13は、互いに隣接するバンパのうち、一方の上底と下底のチップの端辺に対する配置の順序と、他方の上底と下底のチップの端辺に対する配置の順序とが、互いに反対になるように交互に配設されている。

【0026】パッド14は、四角形状の他、円形状、楕円形状のものでも良い。また、バンパ13は、三角形形状のものでも良い。バンパを三角形形状とする場合は、隣接するバンパのうち、一方のチップの端辺に対する向きと、他方のチップの端辺に対する向きとが、互いに反対になるように交互に配設する。

【0027】図8は、第三の実施例の一部を拡大した平面図である。また、図9、図10はそれぞれ図8のE-E'線、F-F'線に沿った断面図である。

【0028】この実施例では、台形状のパッド24上に、パッドよりも小さい台形状のバンパ23を配設している。バンパの短い底辺側の部分23aが支持部としてインナーリードを支えている。

【0029】パッドおよびバンパの形状は、三角形形状のものでも良い。また、パッドの形状とバンパの形状とは、相似になっていなくても良い。

【0030】台形状または三角形形状としたパッドおよびバンパの、チップの端辺に対する向きは、第二の実施例と同様に、隣接するものどうしが互いに反対になるように交互に配設する。

【0031】図5及び図8に示したような台形状または三角形形状のバンパは、交互に逆の向きに配設することにより、プローブカードを作製する際に、プローブ針先端間の間隔を十分に確保することができ、スペース効率も向上する。また、ギャングボンディングの際にフィルムがわずかにずれても支持部分が長いので、インナーリードが目標バンパから外れる可能性が少なく、歩留りが低下しにくいという利点がある。

【0032】図11は、第四の実施例の一部を拡大した

平面図である。また、図12、図13はそれぞれ図11のG-G'線、H-H'線に沿った断面図である。

【0033】この実施例におけるパンプ33の形状は、図2に示した第一の実施例と同様のものであるが、パッド34上にパンプ33を設けている点で異なる。インナーリード2は支持部33aによって支えられている。

【0034】図14は、第五の実施例の一部を拡大した平面図である。また、図15、図16はそれぞれ図14のK-K'線、M-M'線に沿った断面図である。

【0035】この実施例では、四角形状のパッド44上10に第一に実施例と同様の形状のパンプ43を設けており、インナーリード42は支持部43aにより支えられる。パッドおよびパンプの形状については、第一の実施例と同様な種々の形状を用いることができる。

【0036】インナーリードの42a、42bの部分は、第二の実施例と同様に、パンプに圧着されていない場合でも、垂れ下がりが起こりそうになると支持部43aによって支えられるので、同様の効果を得ることができる。

【0037】図17は、第六の実施例の一部を拡大した平面図である。また、図18、図19はそれぞれ図17のN-N'線、P-P'線に沿った断面図である。

【0038】この実施例では、パンプ53は四角形状、支持部55はパンプ間に配設できる大きさの四角形状である。パンプ及び支持部の形状は、楕円形状、または、円形状としても良い。

【0039】図20は、第七の実施例の一部を拡大した平面図である。また、図21、図22はそれぞれ図20のQ-Q'線、R-R'線に沿った断面図である。

【0040】この実施例では、パンプ63と支持部6530それぞれに対応した四角形状のパッド64、66上に、第六の実施例と同様の形状のパンプを設けている。パッド並びにパンプ及び支持部の形状は、楕円形状、または、円形状としても良い。

【0041】図23は、第八の実施例の一部を拡大した平面図である。また、図24、図25はそれぞれ図23のS-S'線、T-T'線に沿った断面図である。

【0042】この実施例では、パンプ73および支持部75の形状は、第七の実施例と同様のものとしているが、パッド74は、パンプおよび支持部に対応する部分40が一体となった形状をとっている。この他、パッドを台形状として、その上にパンプおよび支持部を設けても良い。パンプ及び支持部の形状は、それぞれパッドに対応する台形状のもの、または、楕円形状、円形状としても良い。

【0043】以上のパンプ及びパッドを形成する際には、同一ピッチでもパンプ間のスペースがより広くとれるよう側壁面が垂直になっていることが望ましい。また、パッド及びパンプの材料については、それぞれ一般に用いられているように、パッドはアルミニウムや、S

iやCuなどの不純物を含むアルミ合金、パンプは金や半田あるいは半田に不純物をまぜた合金などの金属により形成する。

【0044】パンプ及びパッドの形状及び配置を以上のような構成にすることにより、インナーリードのたれを防止し、信頼性の高い半導体集積回路装置を得ることができる。

【0045】

【発明の効果】以上説明したように、本発明にかかる半導体集積回路装置においては、パンプ及びパッドの形状および配置を、インナーリードのたれを防止できる構成にしたので、信頼性の高い半導体集積回路装置を得ることができる。

【0046】また、特に台形状及び三角形形状のパンプは、ギャングボンディングの際にフィルムがわずかにずれても、インナーリードが所定のパンプに圧着され、歩留りが低下しにくいという効果もある。

【図面の簡単な説明】

【図1】本発明にかかる半導体集積回路装置の第一の実施例の平面図。

【図2】図1に記載の半導体集積回路装置のパンプとインナーリードとの接続部の拡大平面図。

【図3】図2のA-A'線に沿った断面図。

【図4】図2のB-B'線に沿った断面図。

【図5】本発明にかかる半導体集積回路装置の第二の実施例のパンプとインナーリードとの接続部の拡大平面図。

【図6】図5のC-C'線に沿った断面図。

【図7】図5のD-D'線に沿った断面図。

【図8】本発明にかかる半導体集積回路装置の第三の実施例のパンプとインナーリードとの接続部の拡大平面図。

【図9】図8のE-E'線に沿った断面図。

【図10】図8のF-F'線に沿った断面図。

【図11】本発明にかかる半導体集積回路装置の第四の実施例のパンプとインナーリードとの接続部の拡大平面図。

【図12】図11のG-G'線に沿った断面図。

【図13】図11のH-H'線に沿った断面図。

【図14】本発明にかかる半導体集積回路装置の第五の実施例のパンプとインナーリードとの接続部の拡大平面図。

【図15】図14のK-K'線に沿った断面図。

【図16】図14のM-M'線に沿った断面図。

【図17】本発明にかかる半導体集積回路装置の第六の実施例のパンプとインナーリードとの接続部の拡大平面図。

【図18】図17のN-N'線に沿った断面図。

【図19】図17のP-P'線に沿った断面図。

【図20】本発明にかかる半導体集積回路装置の第七の

7

8

実施例の bumps とインナーリードとの接続部の拡大平面図。

【図21】図20のQ-Q'線に沿った断面図。

【図22】図20のR-R'線に沿った断面図。

【図23】本発明にかかる半導体集積回路装置の第八の実施例の bumps とインナーリードとの接続部の拡大平面図。

【図24】図23のS-S'線に沿った断面図。

【図25】図23のT-T'線に沿った断面図。

【図26】従来技術にかかる半導体集積回路装置の平面図。 10

【図27】図26に記載の半導体集積回路装置の bumps とインナーリードとの接続部の拡大平面図。

【図28】図27のX-X'線に沿った断面図。

【図29】図27のY-Y'線に沿った断面図。

【符号の説明】

1 チップ

1a チップの端辺部

2、12、42 インナーリード

2a チップの端辺からの距離が相対的に短い位置に配 20

設された bumps に接続されたインナーリード先端の余剰部分に垂れ下がりが起こったもの。

2b チップの端辺からの距離が相対的に長い位置に配設された bumps に接続されたインナーリードの接続部からチップの端辺までの部分に垂れ下がりが起こったもの。

12a、42a インナーリードの bumps との接続部から先端までの部分

12b、42b インナーリードの bumps との接続部からチップ端辺までの部分

3、13、23、33、43、53、63、73、83 bumps

3a、13a、23a、33a、43a 支持部

83a チップの端辺からの距離が相対的に短い位置に配設された bumps

83b チップの端辺からの距離が相対的に長い位置に配設された bumps

14、24、34、44、64、74 パッド

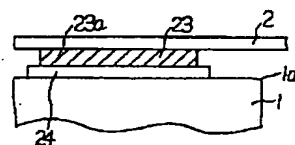
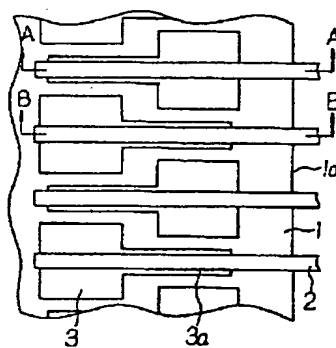
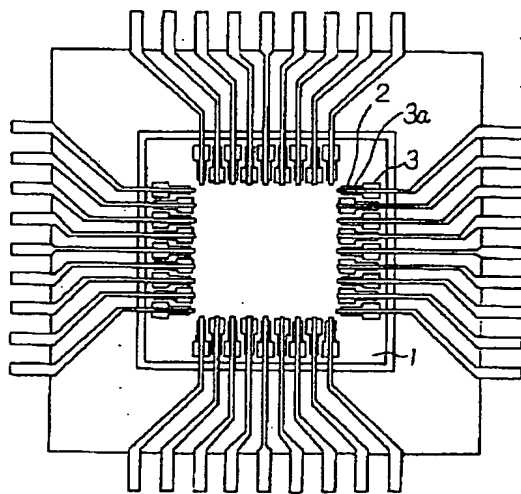
55、65、75 支持部

66 bumps

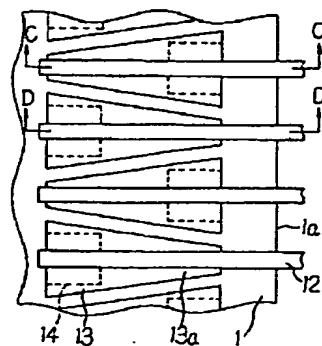
【図1】

【図2】

【図9】

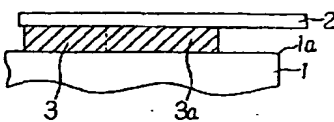
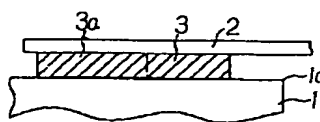


【図5】

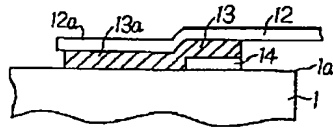


【図3】

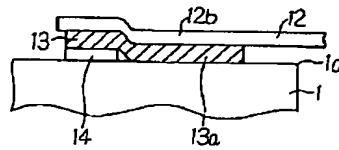
【図4】



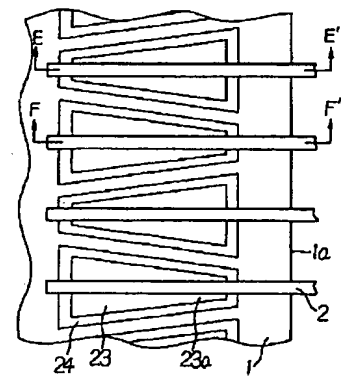
【図6】



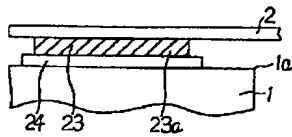
【図7】



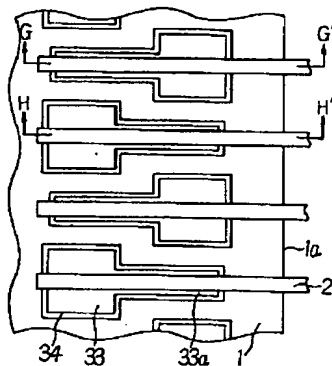
【図8】



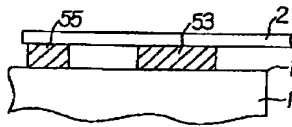
【図10】



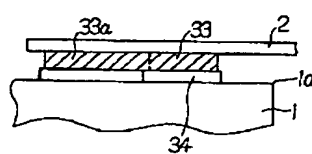
【図11】



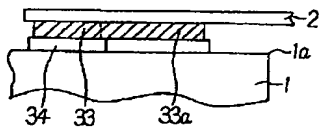
【図18】



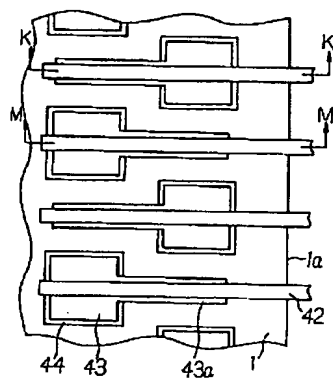
【図12】



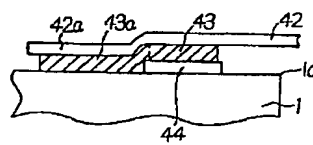
【図13】



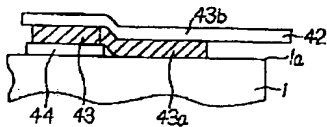
【図14】



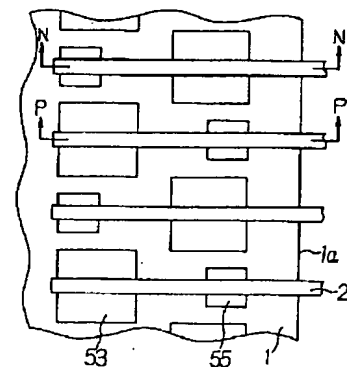
【図15】



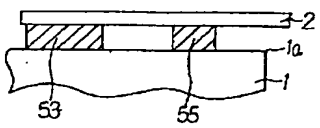
【図16】



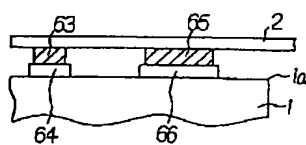
【図17】



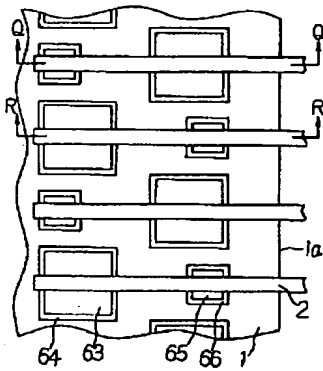
【図19】



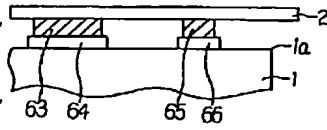
【図21】



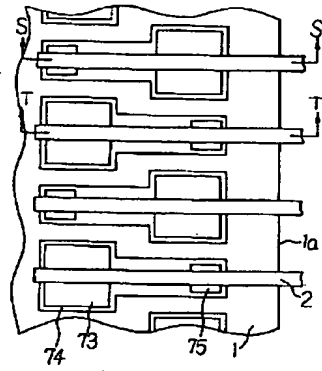
【図20】



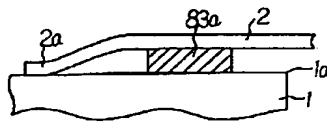
【図22】



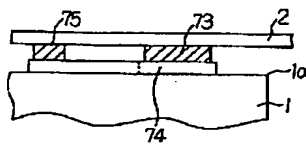
【図23】



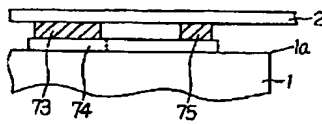
【図28】



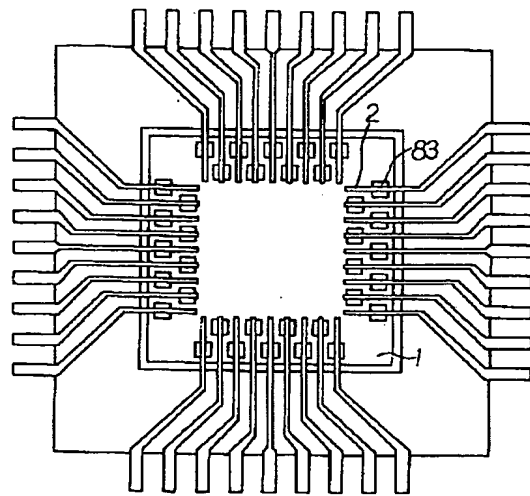
【図24】



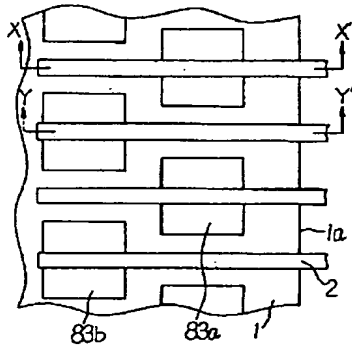
【図25】



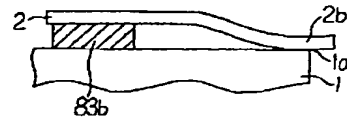
【図26】



【図27】



【図29】



フロントページの続き

(72)発明者 細 美 英 一

神奈川県川崎市幸区小向東芝町1 株式会
社東芝研究開発センター内

(72)発明者 柴 崎 康 司

神奈川県川崎市川崎区駅前本町25番地1
東芝マイクロエレクトロニクス株式会社内

THIS PAGE BLANK (USPTO)